

## MULTILAYER WIRING BOARD WITH BUILT-IN ELEMENT AND ITS MANUFACTURE

Patent Number: JP11312868  
Publication date: 1999-11-09  
Inventor(s): HAYASHI KATSURA  
Applicant(s): KYOCERA CORP  
Requested Patent: JP11312868  
Application Number: JP19980118214 19980428  
Priority Number(s):  
IPC Classification: H05K3/46  
EC Classification:  
Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To provide a multilayer wiring board with built-in element which can be reduced in size and improved in element packaging density, and a method for manufacturing the wiring board.

**SOLUTION:** After forming a plurality of insulating layers 3a-3d containing an uncured thermosetting resin, on which wiring circuit layers 2 composed of via hole conductors 1 formed by filling up via holes with metal powder and/or metal foil, etc., are formed, a resin film 5 which has a glass-transition temperature higher than that the thermosetting resin contained in the insulating layers 3a-3d has and is mounted with such an electric element 8 as the tape carrier package, etc., is put between each insulating layers 3a-3d and is unified with the adjacent insulating layers. Then the laminated body is heated to the curing temperature of the thermosetting resin.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-312868

(43) 公開日 平成11年(1999)11月9日

(51) Int. Cl.<sup>7</sup>  
H05K 3/46

識別記号

F I  
H05K 3/46

Q

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平10-118214  
(22) 出願日 平成10年(1998)4月29日

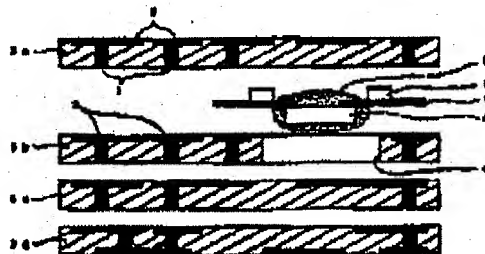
(71) 出願人 000000003  
京セラ株式会社  
京都市東山区伏見区竹田島町6番地  
(72) 発明者 林 桂  
鹿児島県分市山下町1番4号 京セラ株  
式会社総合研究所内

(54) 【発明の名称】 素子内蔵多層配線基板およびその製造方法

(57) 【要約】

【課題】 基板の小空化と、素子の実装密度を高めることのできる素子内蔵多層配線基板とその製造方法を提供する。

【解決手段】 金属粉末を充填してなるビアホール導体1および/または金属箔等からなる配線回路層2が形成された未硬化状態の熱硬化性樹脂を含む複数の絶縁層3a~3dを作製した後、これらの絶縁層間に、絶縁層3a~3d中の熱硬化性樹脂の硬化温度よりも高いガラス転移点を有し、その表面に、テープキャリアパッケージ等の電気素子8を搭載してなる樹脂フィルム5を積層して一体化した後、この積層物を熱硬化性樹脂の硬化温度に加熱する。



(2)

特開平11-312868

1

## 【特許請求の範囲】

【請求項1】少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板と、該絶縁基板の表面および内部に形成された配線回路層と、前記配線回路層を電気的に接続するためのビアホール導体を具備する多層配線基板において、前記絶縁層に、電気素子が搭載された樹脂フィルムを積層してなるとともに、前記樹脂フィルムのガラス転移点が、前記絶縁層の熱硬化温度よりも高いことを特徴とする素子内蔵多層配線基板。

【請求項2】前記電気素子が、半導体素子あるいは容量素子である請求項1記載の素子内蔵多層配線基板。

【請求項3】前記樹脂フィルムが、イミド樹脂、アラミド樹脂、フッ素樹脂、ポリエチレンテレフタレート樹脂、ポリエチレンナフタレート樹脂、ポリオレフィン樹脂のうちの1種からなる請求項1記載の素子内蔵多層配線基板。

【請求項4】前記電気素子が、基板内に設けられた空隙部に収納されてなる請求項1記載の素子内蔵多層配線基板。

【請求項5】前記ビアホール導体が金属粉末の充塞によって形成され、前記配線回路層が全基板から形成されてなる請求項1記載の素子内蔵多層配線基板。

【請求項6】ビアホール導体および/または配線回路層が形成された未硬化状態の熱硬化性樹脂を含む複数の絶縁層を作製した後、これらの絶縁層間に、前記絶縁層中の熱硬化性樹脂の硬化温度よりも高いガラス転移点を有し、その表面に電気素子を搭載してなる樹脂フィルムを積層して一体化した後、該積層物を前記熱硬化性樹脂の硬化温度に加熱して、一括硬化することとを特徴とする素子内蔵多層配線基板の製造方法。

【請求項7】前記ビアホール導体が、金属粉末を含むペーストを充填することによって形成され、前記配線回路層が全基板から形成されてなる請求項6記載の素子内蔵多層配線基板の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線基板、特に絶縁基板内部にテープキャリアパッケージが内蔵されてなる多層配線基板とその製造方法に関するものである。

【0002】

【従来技術】従来より、電子機器の小型化が進みつつあり、近年では、携帯情報端末の発達やコンピュータを持ち運んで操作する、いわゆるモバイルコンピューティングの普及によってさらに小型、薄型且つ高機能の多層配線基板が求められる傾向にある。

【0003】また、従来の多層配線基板は、表裏に2次元的に半導体素子を実装するものであるために、配線基板の高密度実装化には必ずと限界があり、その結果、基板表面において配線に必要なスペースが確保できなくな

2

るといった問題が生じ、電子機器の薄型、小型化に伴うプリント基板の薄層化、小型化、高密度化に対しては、対応できないのが現状である。

【0004】これに対して、種々の電気素子を高密度に実装する方法として、CSP (チップサイズパッケージ) やTSOP (Thin Small Outline Package)、TCP等のパッケージを2段または3段に積み重ねた構造のものや、半導体素子そのものを積層すること等が、例えば、国際実用特許第23回セミナー(1997年10月)「半導体パッケージと実装技術の最新動向」において提案されている。

【0005】

【発明が解決しようとする課題】しかしながら、このようなパッケージを積み重ねる方法、半導体素子を積み重ねる方法では、半導体素子に信号を伝送するための信号線を引き出すための領域が非常に限られ、特に、今後の通信技術の発達に伴い、高周波信号を伝送するためのグラウンド層と中心導体を具備するマイクロストリップ導路等の複雑な高周波伝送線路等を形成することが非常に難しいものであった。

【0006】しかも、単純にパッケージや半導体素子を積層する方法では、全体としての厚みが必然的に厚くなるために、小型化が必要なモバイル系機器に対しては適用できないものであった。

【0007】本発明者らは、このような考えに基づき、先に樹脂シートに金属箔からなる配線回路層を形成し、その配線回路層に半導体素子を実装した後、絶縁層に転写して、1つまたは複数の半導体素子を内蔵する多層配線基板を作製する方法を考案した。しかし、この方法においては、ベア(裸)の半導体素子を金属箔に実装する作業は、高湿度のクリーンルーム中に行う必要があるために、容易に実施することが難しいものであった。

【0008】従って、本発明は、半導体素子や電子部品(コンデンサ素子、抵抗素子、フィルタ素子、発振素子など)を搭載する多層配線基板において、半導体素子を3次元的に内蔵して基板の小型化と、素子の実装密度を高めることのできる多層配線基板を提供することを目的とするものである。さらに、本発明は、基板の内部に素子を3次元的に内蔵することのできる多層配線基板を容易に作製することのできる多層配線基板の製造方法を提供することを目的とするものである。

【0009】

【課題を解決するための手段】本発明者は、半導体素子を搭載した配線基板の小型化について検討を重ねた結果、配線基板内に、テープキャリアパッケージ等の表面に電気素子が搭載された樹脂フィルムを、未硬化状態の絶縁層とともに積層一体化しその積層物を加熱処理して硬化させること、その際、樹脂フィルムとして熱硬化時の加熱温度において変形などの生じることのない弾力性を有するフィルムによって形成されていることにより、

50

電気素子の実装構造に悪影響を及ぼすことなく、多層配線基板内に内蔵せしめることができることを見出し、本発明に至った。

【0010】即ち、本発明の素子内蔵多層配線基板は、少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板と、該絶縁基板の表面および内部に形成された配線回路層と、前記配線回路層間を電気的に接続するためのビアホール導体を具備する多層配線基板において、前記絶縁層間に、電気素子が搭載された樹脂フィルムを積層してなるとともに、前記樹脂フィルムのガラス転移点が、前記絶縁層の熱硬化温度よりも高いことを特徴とするものである。

【0011】また、前記電気素子としては、半導体素子、容量素子および抵抗素子等が上げられ、前記樹脂性を有する樹脂フィルムの材質としては、イミド樹脂、アラミド樹脂、フッ素樹脂、PET（ポリエチレンテレフタレート）樹脂、PEN（ポリエチレンナフタレート）樹脂、ポリオレフィン樹脂等が好適に使用される。

【0012】また、電気素子が、基板内の空腔部に収納されることが望ましく、さらに、ビアホール導体は金属粉末の充填によって形成され、配線回路層が金属層から形成されることが望ましい。

【0013】また、本発明の素子内蔵多層配線基板の製造方法によれば、ビアホール導体および/または配線回路層が形成された未硬化状態の熱硬化性樹脂を含む複数の絶縁層を作製した後、これらの絶縁層間に、前記絶縁層中の熱硬化性樹脂の硬化温度よりも高いガラス転移点を有し、その表面に電気素子を搭載してなる樹脂フィルムを積層して一体化した後、該樹脂層を前記熱硬化性樹脂の硬化温度に加熱することを特徴とするものであり、前記配線回路層が、金属層からなること、前記ビアホール導体が、金属粉末を含むペーストを充填することによって形成されることが望ましい。

【0014】

【発明の実施の形態】以下、本発明を図面をもとに説明する。図1は、本発明の素子内蔵多層配線基板を製造するための製造工程を説明するための図である。

【0015】本発明の製造方法によれば、図1に示すように、ビアホール導体1および/または配線回路層2が形成された未硬化状態の熱硬化性樹脂を含む複数の絶縁層3を作製した後、これらの絶縁層3間に、電気素子4が形成されてなる樹脂フィルム5を挟持して積層して一体化する。

【0016】図1における絶縁層3a~3dには、ビアホール導体1および配線回路層2が形成されたものであるが、ビアホール導体1は、熱硬化性樹脂を含む軟質（Bステージ状態）の絶縁層3a~3dに、厚み方向に貫通するスルーホールを形成し、そのスルーホール内に金属粉末を含む導体ペーストをスクリーン印刷や吸引法

することができる。

【0017】また、絶縁層3a~3dの表面に配線回路層2を形成するには、1）絶縁層の表面に金属層を貼り付けた後、エッチング処理して回路パターンを形成する方法、2）絶縁層表面にレジストを形成して、メッキにより形成する方法、3）乾膜フィルム表面に金属層を貼り付け、金属層をエッチング処理して回路パターンを形成した後、この金属層からなる回路パターンを絶縁層表面に転写させる方法等が挙げられる。

【0018】なお、樹脂フィルムに形成された電気素子が高い場合には、積層時に配線基板に対して変形が生じるために、そのような場合には、図1に示すように、表面に電気素子4が形成された樹脂フィルム5を積層する箇所の絶縁層3bに空腔部6を設け、積層時に電気素子4が空腔部6内に収納されるようにすることが望ましい。

【0019】なお、電気素子4が形成された樹脂フィルム5としては、例えば、図2に示すようなテープキャリアパッケージ（TCP）が挙げられる。図2によれば、樹脂フィルム5は、棒状に形成されており、樹脂フィルム5の表面には、棒体内側から外側に露出された金属層からなる配線回路層7が形成されており、その棒体内側の配線回路層7の表面に、半導体素子8が実装されている。また、配線回路層7の棒体外側の端部は、樹脂フィルムを挟持する絶縁層のビアホール導体との接続を容易にするために直径30~300μmの略円形のランドが形成されることが望ましい。ランドがない場合はビア導体との接続、特に位置合わせが困難になったり、接続抵抗が増加する場合がある。また、配線回路層7に実装された半導体素子8は、樹脂9によって樹脂封止されることが望ましい。

【0020】この封止樹脂9は、製造工程中、電気素子表面を保護する役割と果たし、また絶縁層3a~3dと半導体素子8の熱膨張率の差を緩和するために用いられる。従って、樹脂中にSiO<sub>2</sub>等のフィラーを50体積%以上含有する、熱膨張係数が半導体素子に近似した9~13ppm/℃を有するエポキシ樹脂や、エラストマーのように、ゴムのように変形し、熱膨張率による応力を緩和するものが好適に使用される。

【0021】また、電気素子4が形成された樹脂フィルム5として、他の例としては、図3に示すような容量素子が形成されたものが挙げられる。図3（a）によれば、樹脂フィルム自体を高誘電率の粒子を混合して成形した高誘電率の樹脂フィルム10によって形成し、その両面に銅などの金属層を電極11、11として被覆形成し、電極11、11間にて容量を発生できるもの、あるいは図3（b）のように、樹脂フィルム12の表面に銅などの金属層を電極13として形成し、その表面に誘電体薄膜14を形成し、さらに誘電体薄膜14表面に電極13を形成し、電極13、13間にて容量を発生できる

もの等が挙げられる。

【0022】図1によれば、これらの電気素子4を形成した絶縁フィルム5を絶縁層3a、3bの配線回路層2やビアホール部2と電気素子4の電極や端子と電気的に接続される箇所位置に配置し、3〜80kg/cm<sup>2</sup>の圧力を印加することにより積層一体化することができる。そして、上記の積層物を絶縁層3a〜3d中の熱硬化性樹脂が完全に硬化可能な温度に加熱し、これらの絶縁層を一括して熱硬化することにより、電気素子4を内蔵した多層配線基板を作製することができる。

【0023】本発明によれば、上記の製造過程において、多層配線基板内に内蔵される電気素子4が形成された絶縁フィルム5を、絶縁層3中の熱硬化性樹脂の硬化温度よりもガラス転移点の高い樹脂によって構成することが必要である。絶縁フィルム5のガラス転移点が熱硬化性樹脂の硬化温度よりも低いと、前記製造過程における完全硬化時に、電気素子4が形成された絶縁フィルム5が変形してしまい、電気素子4との配線が断線してしまったり、多層配線基板との電気的な接続不良を来す虞がある。より具体的には、ガラス転移点が、熱硬化温度よりも10℃以上、特に20℃以上高いことが望まれる。

【0024】このような耐熱性を有する絶縁フィルムとしては、前記絶縁フィルムが、イミド樹脂、アラミド樹脂、フッ素樹脂、ポリエチレンテトラフルオレート樹脂、ポリエチレンナフタレート樹脂、ポリオレフィン樹脂のうちの1種から選択することが望ましい。

【0025】上記の製造方法において、熱硬化性樹脂を含有する未硬化状態の絶縁層は、熱硬化性有機樹脂、または熱硬化性有機樹脂とフィラーなどの組成物を混練液や3本ロールなどの手段によって十分に混合し、これを圧延法、押し出し法、射出法、ドクターブレード法などによってシート状に成形することにより作製され、所望により熱処理して熱硬化性樹脂を半硬化させたものが使用される。半硬化には、樹脂が完全硬化するに十分な温度よりもやや低い温度に加熱すればよい。

【0026】なお、絶縁層を形成する熱硬化性樹脂としては、絶縁材料としての電気的特性、耐熱性、および機械的強度を有する熱硬化性樹脂であれば特に限定されるものでなく、例えば、アラミド樹脂、フェノール樹脂、エポキシ樹脂、イミド樹脂、フッ素樹脂、フェニレンエーテル樹脂、ビスマイレイドトリアジン樹脂、ユリア樹脂、メラミン樹脂、シリコン樹脂、ウレタン樹脂、不飽和ポリエステル樹脂、アクリル樹脂等が、単独または組み合わせて使用できる。

【0027】また、上記の絶縁シート3中には、絶縁基板あるいは配線基板全体の強度を高めるために、有機樹脂に対してフィラーを混合させることもできる。有機樹脂と混合されるフィラーとしては、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、TiO<sub>2</sub>、AlN、SiC、BaTiO<sub>3</sub>等の

無機質フィラーが好適に用いられる。また、ガラスやアラミド樹脂からなる不織布、織布などに上記樹脂を含ませて用いてもよい。

【0028】なお、有機樹脂とフィラーとは、体積比率で15:85〜70:30の比率で混合されるのが適当である。

【0029】また、絶縁層に対するスルーホール（ビアホール）および配線部の形成は、ドリル、パンチング、サンドブラスト、あるいは酸蝕ガスレーザ、YAGレーザ、及びエキシマレーザ等の照射による加工など公知の方法が採用される。特に、空層部を形成する場合、絶縁層は、上記の種々の材料の中でもパンチング又はレーザによる加工性の点から、エポキシ樹脂、イミド樹脂、フェニレンエーテル樹脂と、シリカまたはアラミド不織布との混合物であることが最も望ましい。

【0030】一方、ビアホールに充填される金属ペーストは、銅粉末、銀粉末、銀被覆銅粉末、銅合金などの、平均粒径が0.5〜50μmの金属粉末を含む。金属粉末の平均粒径が0.5μmよりも小さいと、金属粉末同士の間隙抵抗が増加してスルーホール部全体の抵抗が高くなる傾向にあり、50μmを超えるとスルーホール部全体の低抵抗化が難しくなる傾向にある。

【0031】また、導体ペーストは、前述したような金属粉末に対して、前述したような結合用有機樹脂や溶剤を添加混合して調製される。ペースト中に添加される溶剤としては、用いる結合用有機樹脂が溶解可能な溶剤であればよく、例えば、イソプロピルアルコール、テルピネオール、2-オクタノール、ブチルカルビトールアセテート等が用いられる。また、エポキシ樹脂、トリアリルイソシアネレート（TAC）樹脂などの液状樹脂を用いた無溶剤で作製したペーストも良好に使用できる。

【0032】上記の導体ペースト中の結合用有機樹脂としては、前述した種々の絶縁シートを構成する有機樹脂の他、セルロースなども使用される。この有機樹脂は、前記金属粉末同士を互いに接触させた状態で結合するとともに、金属粉末を絶縁シートに接着させる作用をなしている。この有機樹脂は、金属ペースト中において、0.1乃至40体積％、特に0.3乃至30体積％の割合で含有されることが望ましい。これは、樹脂量が0.1体積％よりも少ないと、金属粉末同士を強固に結合させることが難しく、低抵抗金属を絶縁層に接合させることが困難となり、逆に40体積％を超えると、金属粉末間に樹脂が介在することになり粉末同士を十分に接触させることが難しくなり、スルーホール部全体の抵抗が大きくなるためである。

【0033】配線回路層としては、銅、アルミニウム、金、銀の群から選ばれる少なくとも1種、または2種以上の合金からなることが望ましく、特に、銅、または銅を含む合金が最も望ましい。また、配線層の低抵抗化のために、前記低抵抗金属よりも低融点の金属、例えば、

半田、錫などの低融点金属を導体組成物中の金属成分中に2~20重量%の割合で含んでもよい。

【0034】配線回路層と絶縁層との密着強度を高める上では、絶縁層の配線回路層の形成箇所およびまたは転写フィルム表面の配線回路層表面の表面を0.1μm以上、特に0.3μm~3μm、最適には0.3~1.5μmに粗面加工することが望ましい。また、ビアホール導体の両端を金属層からなる配線回路層によって封止する上では、配線回路層4の厚みは、5~40μmが適当である。

【0035】このようにして、本発明によれば、従来の積層方法を用いて、複数の絶縁層が積層されてなる多層配線基板内に、テープキャリアパッケージ等の電気素子が形成された樹脂フィルムを実装取附することができ、これにより多層配線基板の高密度化を可能とするとともに、多層配線基板の小型化を図ることができる。

【0036】

【実施例1】

(1) ガラス繊維の織布に対してエポキシ樹脂を50体積%の割合で含浸したFR5規格相当、厚さ100μmのアリアレグAに、炭酸ガスレーザで直径0.1mmのビアホールを形成し、そのホール内に銀をメッキした銅粉末を含む糊と、銅を主成分とし、少量の銀を含有する粉末に樹脂成分を適量添加して作製したペーストを充填してビアホール導体を形成した。また、このアリアレグAに金型を用いて半導体素子や電子部品を設置するための12mm×12mmの大きさの空腔部を形成した。

【0037】(2) 一方、アリアレグBと同様な材質からなるアリアレグBにレーザでビアホールを形成し、そのホール内に銀をメッキした銅粉末を含む糊ペーストを充填してビアホール導体を形成した。

【0038】(3) また、一方、ポリエチレンテレフタレート(PET)樹脂からなる転写シートの表面に接着剤を塗布し、厚さ12μm、表面粗さ0.8μmの銅箔を一面に接着した。そして、フォトレジスト(ドライフィルム)を塗布し露光現像を行った後、これを塩化第二銅溶液中に浸漬して非パターン部をエッチング除去して配線回路層を形成した。なお、作製した配線回路層は、線幅が20μm、配線と配線との間隔が20μmの微細なパターンである。

【0039】(4) そして、(1)で作製したアリアレグAに対して、(3)で作製された配線回路層が形成された転写シートを位置決めして50kg/cm<sup>2</sup>の圧力を加えて圧着した後、転写フィルムを剥離して、テープキャリアパッケージと接続される配線回路層をアリアレグAに転写した。

【0040】(5) その後、(4)における空腔部に対して半導体素子が取附され、且つアリアレグA表面の配線回路層とテープキャリアパッケージのランドとを位置合わせして設置した。

【0041】なお、用いたテープキャリアパッケージは、図2に示すように、ポリイミド樹脂からなり、ガラス転移点が450℃である厚さ32μmの樹脂フィルム5に厚さ18μmの銅箔からなる配線回路層7が形成され、さらにその配線回路層7に半導体素子8が実装されたものを使用した。なお、半導体素子8の周囲はエポキシ樹脂糊9を塗布して封止した。

【0042】(6) 次に、(3)と同様にして作製した金属箔からなる配線回路層を形成した転写シートによって、(2)で作製したアリアレグBの表面に配線回路層を転写した。

【0043】(7) 空腔部にテープキャリアパッケージが収納取附されたアリアレグAを中心に、その上下面に(6)のようにして配線回路層を形成したアリアレグを上下各2層ずつ積層し10kg/cm<sup>2</sup>の圧力で圧着し仮接合した。

【0044】(8) (7)によって作製した積層体を、180℃で1時間加熱して一括硬化させてテープキャリアパッケージを内蔵した多層配線基板を作製した。

【0045】得られた多層配線基板に対して、断面における配線回路層やビアホール導体の形成付近を観察した結果、テープキャリアパッケージIC素子と配線回路層、ビアホール導体と配線回路層とは良好な接合状態であり、各配線回路の導通テストを行った結果、配線の断線も認められなかった。また、IC素子の動作においても何ら問題はなかった。得られた多層配線基板を湿度85%、温度85℃の高湿多湿雰囲気中に100時間放置したが、目視で判別できる程度の劣化は生じていなかった。また、比較として、テープキャリアパッケージとして、エポキシ樹脂からなる(ガラス転移点150℃)からなる厚さ32μmの樹脂フィルムに厚さ18μmの銅箔からなる配線回路層が形成され、さらにその配線回路層に半導体素子が実装されたものを使用して、上記と全く同様にして素子内蔵多層配線基板を作製し、同様の評価を行った結果、半導体素子と配線回路層間で断線が認められた。

【0046】実施例2

(1) ガラスクロスにPPE(ポリフェニレンエーテル)樹脂を含浸させた厚さ150μmの半硬化状態の絶縁層Aに、炭酸ガスレーザで直径0.1mmのビアホールを形成し、そのホール内に銀をメッキした銅粉末と銅を主成分とする粉末にTAIC樹脂を混合して作製した糊ペーストを充填してビアホール導体を形成した。一方、転写フィルム表面に銅箔を接着した後、フォトレジスト(ドライフィルム)を塗布し露光現像を行った後、これを塩化第二銅溶液中に浸漬して非パターン部をエッチング除去して配線回路層を形成し、この配線回路層を絶縁シートAに位置合わせして積層し、100kg/cm<sup>2</sup>の圧力で圧着して転写フィルムを剥がし配線回路層を絶縁層Aに転写させた。

【0047】(2)次に、高誘電体粉末を混合したポリイミドフィルム(ガラス転移点500℃)の両面に銅をメッキして作製したフィルムを所定形状にカットし、さらに銅をエッチングして容量を調整して、フィルム状コンデンサを作製した。

【0048】(3)(2)において作製したフィルム状コンデンサを絶縁層Aの所定箇所に設置した。

【0049】(4)その後、フィルム状コンデンサを設置した絶縁シートAの裏面に、(1)と同様にしてビアホール導体および配線回路層を形成した絶縁層Bおよび絶縁層Cを順次を重ね合わせ、30kg/cm<sup>2</sup>の圧力で積層圧着した。

【0050】(5)そして、絶縁シートA、B、Cの積層物を35kg/cm<sup>2</sup>の圧力を印加しながら195℃に加熱して完全硬化させて容量素子を内蔵した多層配線基板を作製した。

【0051】得られた多層配線基板に対して、断面における配線回路層やビアホール導体の形成付近を観察した結果、容量素子と配線回路層、ビアホール導体と配線回路層とは良好な接合状態であり、各配線間の導通テストを行った結果、配線の断線も認められなかった。また、容量素子においても何ら問題なく、所定の容量を得ることができた。得られた多層配線基板を湿度85%、温度85℃の高湿多湿雰囲気中100時間放置したが目視で判別できる程度の変化は生じていなかった。

【0052】また、比較のため、フィルム状コンデンサとして、エポキシ樹脂フィルム(ガラス転移点150℃)の両面に銅をメッキして作製したものを使用し、上記と同様に容量素子内蔵多層配線基板を作製したところ、フィルム状コンデンサに変形が見られ、容量素子の静電容量が大きく劣化した。

【0053】

【発明の効果】以上詳述したとおり、本発明によれば、半導体素子や電子部品(コンデンサ素子、抵抗素子、フィルタ素子、発振素子など)を搭載する多層配線基板において、耐熱性を有する樹脂フィルムに電気素子が形成されたチップキャリアパッケージやフィルム状電子部品を内部に実装収納することにより、半導体素子を3次元的に内蔵して基板の小形化と、素子の実装密度を高めることができ、高密度、高信頼、且つ多機能の配線基板を容易に形成できる。

【図面の簡単な説明】

【図1】本発明の素子内蔵多層配線基板の製造方法の一実施例を説明するための工程図である。

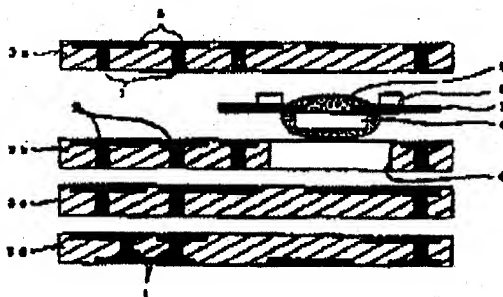
【図2】電気素子が形成された樹脂フィルムの一例としてチップキャリアパッケージを説明するための平面図である。

【図3】電気素子が形成された樹脂フィルムの他の例として、容量素子が形成された樹脂フィルムの例を説明するための断面図である。

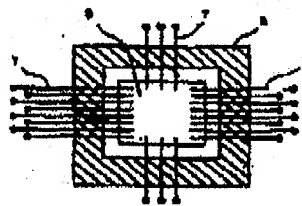
【符号の説明】

- 1 ビアホール導体
- 2 7 配線回路層
3. 3a-3d 絶縁層
- 4 電気素子
- 5, 10, 12 樹脂フィルム
- 6 空隙部
- 8 半導体素子
- 9 封止樹脂
- 11, 13 電極
- 14 誘電体環状

【図1】



【図2】



(7)

特開平11-312868

(図3)

